

Україна. м.Запоріжжя, вул. Незалежності України 66, офіс 7
тел/факс:(061) 220-04-86, (050) 923-84-56, (098) 923-84-56
welthy.com.ua, info@welthy.com.ua

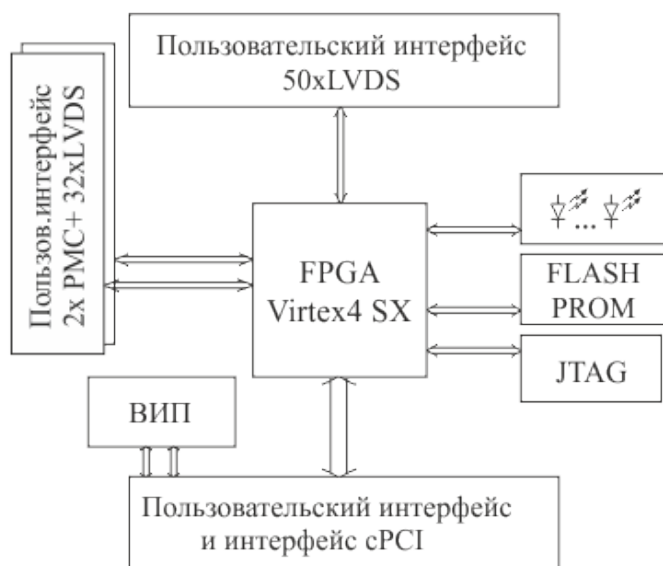
Модуль цифрової обробки сигналів V4X-3U-01

(стислий технічний опис)

Рік розробки:: 2010

Код: V4X-3U-01





Призначення

Модуль V4X-3U-01 є програмованим логічним обчислювальним пристроєм FPGA для виконання алгоритмів цифрової обробки сигналів. Побудований на базі FPGA Xilinx Virtex4® серії SX для програм DSP і призначений для побудови систем цифрової обробки сигналів у режимі реального часу.

Ключові особливості

Логічний обчислювальний ресурс FPGA Xilinx Virtex4® SX35T з еквівалентною кількістю помножувачів 18x18p. в блоках XtremeDSP-192, об'ємом розподіленого ОЗУ – 240Кб та блочного ОЗУ – 3,456Мб.

Модуль має енергонезалежну багаторазово перепрограмовану FLASH пам'ять (32Mb) для автоматичного конфігурування логічного ресурсу FPGA програмою користувача при подачі напруги живлення.

Конструкція

Модуль реалізований у форм-факторі стандарту 3U CompactPCI. Основними зовнішніми приєднувальними інтерфейсами введення-виведення даних є роз'єми CompactPCI і роз'єми інтерфейсу користувача (аналогічні роз'ємам за стандартом PMC+). Для забезпечення додаткового захисту модуля від впливу навколишнього середовища поверхні модуля покриті шаром вологозахисного покриття конформного покриття.

Фронтальний Інтерфейс даних

Модуль має спеціалізований роз'єм високої густини для виведення до 50 сигналів стандарту LVDS.

Інструменти розробника

Для комплексного налагодження програмного забезпечення модуль містить інтерфейс JTAG, повністю сумісний з конфігураційними кабелями типу Platform Cable USB (p/n: HW-USB-G, p/n: HW-USB-II-G) виробництва Xilinx та утилітою конфігурування Xilinx iMPACT. Для створення завантажувального пакету програм та перепрограмування вбудованої FLASH пам'яті використовується програмне забезпечення середовище розробки Xilinx ISE Foundation®.

ОСНОВНІ ПАРАМЕТРИ	
Назва параметра	Значення
Інтерфейс сигналів обміну даними на передній панелі Кількість висновків	LVDS 100
Кількість конфігурованих вх./вих. цифрових ліній з тильного боку LVDS/LVCMOS	40(80)
Рівні вх./вих. цифрових сигналів, що конфігуруються користувачем	LVDS25, LVCMOS25
Логічний ресурс, масив логічних блоків (шарів)	96x40 (3 840)
Максимальний обсяг розподіленої ОЗП, кб	240
Максимальний обсяг блокового ОЗП (550МГц), кб	3 456
Кількість блоків XtremeDSP (550МГц)	192
Еквівалентна кількість суматорнакопичувачів (48р) в блоках XtremeDSP	192
Кількість програмованих кодом FPGA серії Virtex 4 SX35T	1
Інтерфейс користувача LVDS/LVCMOS, Роз'ємів за стандартом PMC+	2
Інтерфейс конфігурування схем цифрового автомата	Flash PROM, JTAG
Об'єм вбудованої конфігураційної Flash ПЗП, Мб	32
Напруга живлення, по шині cPCI,	3,3
Споживана потужність не більше, Вт	15
Конструктивні розміри	4HP стандарту 3U PIGM 2.0.
Діапазон робочих температур	мінус 40°C ... +60°C
Додатковий захист від впливу навколишнього середовища	Конформне вологозахисне покриття
Габаритний розмір	160 x 100 mm